


LFW

BRINKS  
HOFER  
GILSON  
& LIONE

U.S. PATENT & TRADEMARK OFFICE  
MAR 30 2005

**CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8**

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, with sufficient postage, in an envelope addressed to: Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450, on the below date: 3/25/05 Name: Anthony P. Curtis, Ph.D., 46,193 Signature: 

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Re Appln. of: **Jae-Kwon Choi**

Appln. No.: **10/716,275**

Filed: **November 18, 2003**

For: **RESET CIRCUIT FOR TIMING CONTROLLER**

Attorney Docket No: **12576/4131**

Examiner: Not yet assigned  
Art Unit: 2871

Mail Stop Amendment  
Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL**

Sir:

**Attached is/are:**

- ☒ Transmittal Cover Letter (1p. Filed in Dup.); Submission of Certified Copy of Priority Document (1p.); Certified Copy of Korean Patent Application No. 10-2002-008724
- ☒ Return Receipt Postcard

**Fee calculation:**

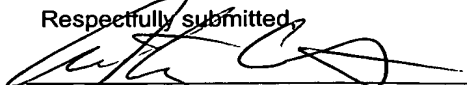
- ☐ No additional fee is required.
- ☐ Small Entity.
- ☐ An extension fee in an amount of \$\_\_\_\_\_ for a \_\_\_\_\_-month extension of time under 37 C.F.R. § 1.136(a).
- ☐ A petition or processing fee in an amount of \$\_\_\_\_\_ under 37 C.F.R. § 1.17(\_\_\_\_\_).
- ☐ An additional filing fee has been calculated as shown below:

					Small Entity			Not a Small Entity	
	Claims Remaining After Amendment		Highest No. Previously Paid For	Present Extra	Rate	Add'l Fee	or	Rate	Add'l Fee
Total		Minus			x \$25=			x \$50=	
Indep.		Minus			x 100=			x \$200=	
First Presentation of Multiple Dep. Claim					+\$180=			+\$360=	
					Total	\$		Total	\$

**Fee payment:**

- ☐ A check in the amount of \$\_\_\_\_\_ is enclosed.
- ☐ Please charge Deposit Account No. 23-1925 in the amount of \$\_\_\_\_\_. A copy of this Transmittal is enclosed for this purpose.
- ☐ Payment by credit card in the amount of \$\_\_\_\_\_ (Form PTO-2038 is attached).
- ☒ The Director is hereby authorized to charge payment of any additional filing fees required under 37 CFR § 1.16 and any patent application processing fees under 37 CFR § 1.17 associated with this paper (including any extension fee required to ensure that this paper is timely filed), or to credit any overpayment, to Deposit Account No. 23-1925.

3/25/05  
Date

Respectfully submitted,  
  
Anthony P. Curtis, Ph.D. (Reg. No. 46,193)

I hereby certify that this correspondence is being deposited with the United States Postal Service, with sufficient postage, as first class mail in an envelope addressed to:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313  
on 3/25/05

Date of Deposit

Anthony P. Curtis, Ph.D., Reg. No. 46,193

Name of applicant, assignee or  
Registered Representative

Signature

3/25/05

Date of Signature

Our File No. 12576/4131

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of:

Jae-Kwon Choi

Serial No. 10/716,275

Filing Date: November 18, 2003

For: RESET CIRCUIT FOR TIMING  
CONTROLLER

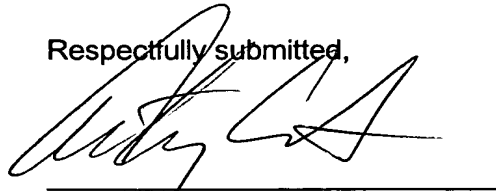
**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Mail Stop AMENDMENT  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313

Dear Sir:

Transmitted herewith is a certified copy of priority document Korean Patent Application No. 10-2002-0082724, filed December 23, 2002 for the above-named U.S. application.

Respectfully submitted,



Anthony P. Curtis, Ph.D.  
Registration No. 46,193  
Agent for Applicant

BRINKS HOFER GILSON & LIONE  
P.O. BOX 10395  
CHICAGO, ILLINOIS 60610  
(312) 321-4200

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0082724  
Application Number

출원 년 월 일 : 2002년 12월 23일  
Date of Application DEC 23, 2002

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.

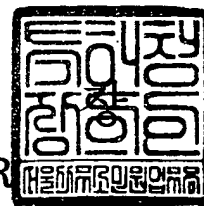
CERTIFIED COPY OF  
PRIORITY DOCUMENT



2003 년 10 월 10 일

특 허 청

COMMISSIONER



BEST AVAILABLE COPY

## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0006  
**【제출일자】** 2002.12.23  
**【발명의 명칭】** 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로  
**【발명의 영문명칭】** Circuit for timing-Controller reset  
**【출원인】**  
**【명칭】** 엘지 .필립스엘시디(주)  
**【출원인코드】** 1-1998-101865-5  
**【대리인】**  
**【성명】** 정원기  
**【대리인코드】** 9-1998-000534-2  
**【포괄위임등록번호】** 1999-001832-7  
**【발명자】**  
**【성명의 국문표기】** 최재권  
**【성명의 영문표기】** CHOI, JAE KWON  
**【주민등록번호】** 720914-1896918  
**【우편번호】** 718-833  
**【주소】** 경상북도 칠곡군 석적면 중리 141번지 3공단 부영아파트 109동 1806 호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 정원기 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

### 【요약】

본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는 LVDS출력으로 인해 타이밍컨트롤러 리셋회로에 인가되던 유기전압을 제거하기 위한 회로에 관한 것이다.

상기한 바와 같은 문제점을 해결하는 방안으로 본 발명에서는, 리셋신호입력단자를 구비한 타이밍컨트롤러에 있어서, 디지털입력전압(DVCC)이 인가되는 이미터단자를 제1노드로 하며, 베이스단자를 제2노드로 하고, 컬렉터단자를 제3노드로 하는 트랜지스터와; 상기 제1노드와 제2노드 사이에 연결된 제1저항과; 일단이 상기 제2노드에 연결되고 타단을 제4노드로 하여 접지되는 제2저항과; 상기 제3노드와 제 4노드 사이에 연결된 제3저항과; 일단이 상기 제3노드에 연결되고 타단을 제5노드로 하여 상기 리셋신호입력단자와 연결되는 제4저항과; 일단이 상기 제5노드에 연결되고 타단이 접지되는 커패시터를 구비한 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로를 제안한다.

상기한 구성을 가지는 본 발명의 타이밍컨트롤러 리셋회로는 LVDS출력에 의한 전압유기현상을 제거하여 적절한 GOE 마스크시간을 얻고, 또한 소스드라이브측으로 출력되는 클럭의 노이즈 제거라는 커다란 효과를 발휘할 수 있는데, 상기 타이밍컨트롤러 동작에 대한 에러율을 감소시켜, 보다 고효율의 액정화면표시를 가능하게 하는 장점이 있다.

### 【대표도】

도 7



【명세서】

【발명의 명칭】

전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로{Circuit for timing-Controller reset}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치의 컨트롤러 구성블록도

도 2는 종래의 타이밍컨트롤러와 LVDS송/수신부의 동작을 설명하기 위한 도면

도 3은 종래의 LVDS송신부에서 출력되는 신호파형을 예시한 도면

도 4는 종래의 LVDS송/수신부에 구성된 정전기방지회로를 통해 일부 LVDS출력신호가 DVCC단으로 유기되는 현상을 설명하기 위한 도면

도 5는 종래의 타이밍컨트롤러 리셋회로에 일부 LVDS출력신호가 유기되었을 경우 타이밍 컨트롤러에서 출력한 게이트출력인에이블(GOE)신호에 따른 GOE마스크시간을 도시한 도면

도 6은 종래의 타이밍컨트롤러 리셋회로에 일부 LVDS출력신호가 유기되었을 경우 타이밍 컨트롤러에서 출력한 소스드라이브측 입력 클럭을 도시한 도면

도 7은 본 발명에 따른 타이밍컨트롤러 리셋회로를 도시한 도면

도 8은 본 발명에 따른 타이밍컨트롤러 리셋회로를 사용하였을 경우 타이밍컨트롤러에서 출력한 게이트출력인에이블(GOE)신호에 따른 GOE마스크시간을 도시한 도면

도 9는 본 발명에 따른 타이밍컨트롤러 리셋회로를 사용하였을 경우 타이밍컨트롤러에서 출력한 소스드라이브측 입력 클럭을 도시한 도면

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

14,16 : LVDS송신부 18,20 : LVDS수신부

22 : 타이밍컨트롤러 24 : LCD모듈

28 : 정전기방지회로 30 : 리셋회로

32 : 리셋신호입력단자 40 : 필터링회로

50 : 트랜지스터 110 : 제1노드

120 : 제2노드 130 : 제3노드

140 : 제4노드 150 : 제5노드

R, R1, R2, R3 : 각각 리셋저항 및 제1, 제2, 제3 저항

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는 LVDS신호에 의해 발생하는 전압유기현상을 방지할 수 있는 회로를 구비한 타이밍컨트롤러 리셋회로에 관한 것이다.

<20> 최근 평판 디스플레이장치는 제품의 보다 만족스러운 화면 구현을 위해 고주파수와 고해상도를 가지도록 개발되고 있다.

<21> 평판 디스플레이 장치로서 액정표시장치가 대표적인 경우로 설명될 수 있는데, 일반적으로 액정표시장치는 고주파를 갖는 TTL신호로 데이터의 전송이 이루어지며, 이러한 환경에서 화

상신호가 TTL신호에 영향을 받아서 해당 주파수로 전압레벨이 변동되기 때문에 EMI문제가 발생된다. 또한 전송한 TTL신호로 데이터나 클럭신호를 전송하는 방법은 다수의 전송선로를 필요로 하게 되며, 이에 따라서 액정표시장치에 구성되는 케이블과 커넥터의 수가 많이 요구된다.

<22>      상기와 같은 환경에서 데이터나 클럭신호는 노이즈에 직·간접적으로 영향을 받게 되며, 정상적인 데이터와 클럭신호가 노이즈에 영향을 받으면 화면을 비정상적으로 형성하는 문제점이 발생하게 된다.

<23>      아울러, 풀컬러(Full color) 고해상도를 구현하기 위하여 통용되는 그래픽 컨트롤러에서 지원되는 데이터 전송 비트 수는 제한된다. 이를 해결하기 위해 컴퓨터본체와 액정모듈 사이의 인터페이스에 저전압 차동 시그널링(Low Voltage Differential Signaling, 이하 LVDS) 기술이 도입되어 이용되고 있다.

<24>      LVDS 기술은 IEEE에서 1996년 'IEEE P1596.3'에 정의되었고, LVDS기술은 저전압으로 데이터 전송을 실현하기 위한 것으로써 전송속도가 매우 빠른 장점이 있다.

<25>      일반적으로, LVDS기술은 평판디스플레이 시스템에 적용됨에 있어서 크게 노트북 컴퓨터에 실장되는 액정모듈과 마더보드(Mother Board) 상의 그래픽컨트롤러 사이의 협대역 고속 인터페이스 제공을 위한 것과, 데스크탑 컴퓨터의 모니터를 위한 긴 길이의 케이블을 이용한 것으로 구분되어 사용되고 있다.

<26>      이하 첨부된 도면을 참조하여 일반적인 액정표시장치의 컨트롤러에 대해 간략히 설명하는 바, 도 1은 일반적인 액정표시장치의 컨트롤러 구성블록도이다.



- <27> 액정표시장치의 컨트롤러는 신호공급원인 컴퓨터본체(10) 내부에 그래픽카드(12)가 구성되고, 그래픽카드는 제 1,2 LVDS송신부(14)(16)로 TTL레벨의 컬러신호인 적(R), 녹(G), 청(B) 신호들과 다수의 컨트롤 신호들을 인가한다.
- <28> 액정의 물리적 특성상 라인반전 또는 도트반전 등의 방법으로 컬러를 표현하기 위하여 다른 극성을 갖도록 인가되는 각각의 적, 녹, 청 신호들이 구분되어서 각각 상기 제 1, 2 LVDS 송신부(14)(16)로 분할되어 인가되는데, 수평동기신호와 수직동기신호 및 데이터인에이블(DE) 신호와 같은 컨트롤 신호들은 제 1 LVDS송신부(14)에 인가된다.
- <29> 상기 제1, 2 LVDS송신부(14)(16)에 인가된 각 신호들은 소정 수 채널의 LVDS신호로 변환되어 디스플레이를 위한 액정표시장치로 전송된다.
- <30> 액정표시장치에는 LVDS수신부(18,20)가 구성되어 복수의 채널로 전송되는 LVDS신호를 수신하며, 상기 LVDS수신부(18,20)는 수신된 LVDS신호를 TTL신호로 변환하여 타이밍컨트롤러(22)로 인가한다.
- <31> 상기 타이밍컨트롤러(22)는 액정표시모듈(즉, LCD모듈)(24)에 필요한 각종 컨트롤신호를 생성하고, TTL레벨신호인 이들 컨트롤신호와 적, 녹, 청 신호들의 타이밍포맷을 결정하여 LCD 모듈(24)로 입력한다.
- <32> 상기 LCD모듈(24)에는 소스드라이버(미도시)와 게이트드라이버(미도시)가 인쇄기판에 실장되어서 액정을 구동하기 위한 액정패널(미도시)에 인터페이스 되며, 전송한 적, 녹, 청 신호와 일부 컨트롤신호는 소스드라이버로 인가되고 다른 일부 컨트롤신호는 게이트드라이버에 인가된다.

- <33> 이후, 상기 액정패널은 게이트드라이버로부터 출력되는 스위칭펄스에 따라서 각 화소를 이루는 박막트랜지스터가 턴온(Turn-ON) 또는 턴오프(Turn-OFF)되며, 턴온된 화소에 소스드라이버로부터 데이터신호가 인가됨으로써 원하는 투광성을 갖도록 액정이 구동된다.
- <34> 도 2는 상기와 같은 구성을 가지는 타이밍컨트롤러(22)와 일 LVDS송/수신부(14)(18)의 동작을 설명하기 위한 도면으로서, LVDS송신부(14)와 타이밍컨트롤러(22)의 LVDS수신부(18)측에 각각 정전기방지회로(28)가 구비되어 있으며, 상기 타이밍컨트롤러(22)는 특정 신호의 동작, 즉, 소스컨트롤시그널(SSC, SOE, SSP)과 게이트컨트롤시그널(GSC, GOE, GSP)의 동작 인에이블(Enable)을 위한 리셋회로(30)를 구비하고 있다. 물론 상기 도에서 타이밍컨트롤러(22)는 상기 LVDS송/수신부(14)(18)과 리셋회로(30)를 복수개 구비할 수도 있으나 간략한 설명을 위해 동일 구성은 도면에서 제외하였다.
- <35> 먼저, 상기 LCD구동회로의 동작을 위한 전체회로 인가 전압인  $V_{IN}$ (미도시)이 인가되지 않았을 때, 즉, 상기 정전기방지회로(28)와 리셋회로(30)의 DVCC단에 약 3.3V의 디지털신호가 인가되지 않았을 때, 도 3과 같이, LVDS송신부(14)에서 출력하는 약 1.4V(??수백mV)의 DC신호는 정전기방지회로(28)를 거쳐 상기 타이밍컨트롤러(22)로 입력된다. 이때, 도 4와 같이, 상기 정전기방지회로(28)에서 역방향 다이오드측은 접지되어 있기 때문에 순방향 다이오드측으로 상기 LVDS시그널에 의해 약 0.3~0.7V 정도가 출력되어 진다.
- <36> 상기 정전기방지회로(28)의 순방향 다이오드에 의해 최대 0.7V가 유기된 DVCC단은 상기 리셋회로(30)의 DVCC단과 전기적으로 연결된 동일 노드이므로, 상기 리셋회로(30)에도 최대 0.7V의 DC전압이 유기되어 진다.
- <37> 이후 LCD구동회로의 동작을 위한 전체 인가 전압인  $V_{IN}$ 이 인가되어 상기 DVCC를 통해 디지털 제어 신호인 3.3V가 인가될 때, 상기 리셋회로(30)의 커패시터(C)는 상기 LVDS신호에 의해 미



리 유기되어 있던 0.7V DC전압의 영향으로 0V부터 충전이 되지 않고 유기전압인 0.7V부터 충전이 이루어지게 된다.

<38> 이는 상기 리셋회로(30)가 타이밍컨트롤러(22)를 통해 소스컨트롤시그널과 게이트컨트롤시그널 출력을 인에이블할 때, 즉, 게이트동작인에이블(GOE) 입력전원을 인가할 때 게이트드라이버의 정상동작을 위해 약 16ms 이상의 지연시간(Duration)(이하 GOE 마스크시간)을 가져야 함을 감안하면, 도 5의 게이트출력인에이블(GOE) 신호파형에서도 보이듯이 약 2ms 정도(화살표 표시)의 짧은 지연시간 출력을 보이고 있다. 이렇게 리셋회로에 의한 GOE 마스크시간의 부족은 게이트드라이버의 비정상적인 동작을 초래하여 액정표시장치의 비정상적인 화면 출력의 원인이 될 수 있다.

<39> 또한 LCD구동회로의 동작을 위한 전체 인가 전압인  $V_{IN}$ 이 인가될 때에도, 도 6의 출력도면에 서 표시된 바와 같이 소스드라이버측으로의 클럭(CLOCK) 인가시에도 불필요한 임펄스가 먼저 발생되기 때문에 비정상적인 화면 출력 원인이 됨은 당연하다.

#### 【발명이 이루고자 하는 기술적 과제】

<40> 상기와 같은 문제점을 해결하기 위해, 본 발명은 타이밍컨트롤러에 의한 정상적인 게이트드라이버 및 소스드라이버의 동작을 유도할 수 있는 방법을 제시하여 액정표시장치의 화면 불량률을 감소시키는데 목적이 있다.

- <41> 아울러 상기한 목적을 달성하는데 있어서, 간단한 회로의 추가만으로도 보다 큰 효과를 도출할 수 있는 방법의 제시를 통해 더욱 신뢰성 있는 제품의 생산과 이에 따른 부가적인 효과를 노릴 수 있는 방법을 일편 제안하는데 목적이 있다.

### 【발명의 구성 및 작용】

- <42>       상기와 같은 목적의 달성을 위해, 본 발명은 리셋신호입력단자를 구비한 타이밍컨트롤러에 있어서, 디지털입력전압(DVCC)이 인가되는 이미터단자를 제1노드로 하며, 베이스단자를 제2노드로 하고, 컬렉터단자를 제3노드로 하는 트랜지스터와; 상기 제1노드와 제2노드사이에 연결된 제1저항과; 일단이 상기 제2노드에 연결되고 타단을 제4노드로 하여 접지되는 제2저항과; 상기 제3노드와 제4노드사이에 연결된 제3저항과; 일단이 상기 제3노드에 연결되고 타단을 제5노드로 하여 상기 리셋신호입력단자와 연결되는 리셋저항과; 일단이 상기 제5노드에 연결되고 타단이 접지되는 커패시터를 구비한 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로를 제안한다.
- <43>       이하 첨부된 도면을 참조하여 본 발명에 따른 타이밍컨트롤러 리셋회로에 대해 보다 상세하게 설명하기로 한다.
- <44>       도 7은 본 발명에 따른 타이밍컨트롤러 리셋회로에 대한 상세회로도로서, 하나 이상의 리셋신호입력단자(32)를 구비하고 있는 타이밍컨트롤러(22)에 있어서, 상기 리셋신호입력단자(32)로 인가되는 리셋신호에 의해 게이트드라이브로 인가되는 GOE 마스크시간을 적정하게 유지시키고 또한 소스드라이브로 인가되는 클럭 신호에서 발생하는 잡음의 제거를 위해, 상기 전술

한 도 2에서와 같은 기존의 타이밍컨트롤러 리셋회로(30)에 별도의 필터링회로(40)를 더욱 부가하고 있다.

- <45>       상기 필터링회로(40)에 대해 설명하면, 디지털입력전압(DVCC)이 인가되는 이미터단자를 제1노드(110)로 하며, 베이스단자를 제2노드(120)로 하고, 컬렉터단자를 제3노드(130)로 하는 PNP형 트랜지스터(50)와; 상기 제1노드(110)와 제2노드사이(120)에 연결된 제1저항(R1)과; 일단이 상기 제2노드(120)에 연결되고 타단을 제4노드(140)로 하여 접지되는 제2저항(R2)과; 상기 제3노드(130)와 제4노드(140)사이에 연결된 제3저항(R3)으로 구성되어 있다.
- <46>       이하 상기한 바와 같은 구성의 필터링회로(40)가 더욱 부가된 본 발명에 따른 타이밍컨트롤러 리셋회로의 동작과 이의 효과를 설명한다. 설명을 위하여 상기 R1, R2, R3는 각각 100 : 51 : 1 의 비율을 가지는 저항으로써, 본 발명의 바람직한 실시예에서는  $R1=100k\Omega$ ,  $R2=51k\Omega$ ,  $R3=1k\Omega$ 으로 각각 설정하여 설명한다.
- <47>       먼저 상기 LCD구동회로의 동작을 위한 전체회로 인가 전압인  $V_{IN}$ (미도시)이 인가되지 않았을 때, 즉, 상기 정전기방지회로(28)와 필터링회로(40)의 DVCC단에 약 3.3V의 디지털신호가 인가되지 않았을 때, 상기 LVDS송신부(14)에서 약 1.4V의 LVDS신호가 출력되어 정전기방지회로(28)의 순방향다이오드를 통해 상기 필터링회로(40)의 디지털입력전압(DVCC)단으로 약 0.7V가 입력되면,
- <48>       상기 제2노드(120)에서의 전압  $V_{N2} = 0.7 * (51k\Omega / (100k\Omega + 51k)) = 0.23V$  가 되며, 이 때는 상기 트랜지스터(50)는 동작되지 않고 OFF상태가 된다.
- <49>       따라서, 상기 리셋저항(R)으로 입력되는 제3노드(130)의 전압은 0V가 되어 상기 리셋회로(30)의 커패시터(C)는 전혀 충전이 되지 않는 상태이다.

- <50> 이후, LCD구동회로의 동작을 위한 전체회로 인가 전압인  $V_{IN}$ (미도시)이 인가되면, 상기 필터링회로(40)의 디지털입력전압(DVCC)단으로 3.3V가 인가되고,
- <51> 상기 제2노드(120)에서의 전압  $V_{N2} = 3.3 * (51K\Omega / (100k\Omega + 51K\Omega)) = 1.11V$  가 되어, 상기 트랜지스터(50)는 ON상태가 된다.
- <52> 따라서, 상기 리셋저항(R)으로 입력되는 제3노드(130)의 전압은 3.3V가 인가되어 상기 리셋회로(30)의 커패시터(C)는 0V로 유지된 상태에서 3.3V의 인가전압을 통해 충전을 수행한 뒤, 상기 타이밍컨트롤러(22)의 리셋신호압력단자(32)를 통해 리셋신호를 인가하게 된다.
- <53> 상기와 같이, 상기 타이밍컨트롤러(22)의 리셋회로(30)에 유기전압의 제거를위한 필터링 회로(40)를 부가하여 작동하였을 경우, 상기 타이밍컨트롤러(22)를 통해 출력된 신호를 살펴보면, 도 8과 같이, 게이트동작인에이블(GOE) 신호파형에서 통상 상기 리셋회로(30)에 의한 GOE 마스크시간의 적정수치인 약 35ms가 출력되는 것을 볼 수 있다.
- <54> 또한, 도 9의 출력파형에서 보면, 상기 도 6에서 제시되었던 타이밍컨트롤러(22)를 통한 소스드라이버측으로의 클럭(CLOCK) 인가시 발생하던 불필요한 임펄스도 크게 감소하였음을 볼 수 있다.

### 【발명의 효과】

- <55> 상기와 같이 기존의 타이밍컨트롤러 리셋회로에 본 발명의 실시예에 도시된 바와 같은 간단한 필터링회로를 부가할 경우, 상기 리셋회로는 LVDS출력신호에 의해 DVCC단으로 인가되는 미세한 전압의 차단이 가능하다. 이는 곧 상기 리셋회로의 목적인 적정한 GOE 마스크시간 출력과 소스드라이브측으로 출력되는 클럭의 노이즈제거라는 커다란 효과를 발휘하여 상기 타이밍컨트롤러



1020020082724

출력 일자: 2003/10/17

동작에 대한 에러율을 감소시킴으로써, 보다 고효율의 액정화면표시를 가능하게 하는 장점이 있는 것이다.

**【특허청구범위】****【청구항 1】**

리셋신호입력단자를 구비한 타이밍컨트롤러에 있어서,

디지털입력전압 (DVCC)이 인가되는 이미터단자를 제1노드로 하며, 베이스단자를 제2노드로 하고, 컬렉터단자를 제3노드로 하는 트랜지스터와;

상기 제1노드와 제2노드사이에 연결된 제1저항과;

일단이 상기 제2노드에 연결되고 타단을 제4노드로 하여 접지되는 제2저항과;

상기 제3노드와 제 4노드사이에 연결된 제3저항과;

일단이 상기 제3노드에 연결되고 타단을 제5노드로 하여 상기 리셋신호입력단자와 연결되는 제4저항과;

일단이 상기 제5노드에 연결되고 타단이 접지되는 커패시터

를 구비한 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로

**【청구항 2】**

청구항 제 1 항에 있어서,

상기 트랜지스터는 PNP형인 것을 특징으로 하는 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로

**【청구항 3】**

청구항 제 1 항에 있어서,



상기 제1저항, 제2저항, 제3저항은 각각 100:51:1의 저항값 비율을 유지하는 것을 특징으로 하는 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로

#### 【청구항 4】

하나 이상의 리셋신호입력단자를 구비하고 있는 타이밍컨트롤러와; 디지털입력전압(DVCC)이 인가되는 이미터단자를 제1노드로 하며, 베이스단자를 제2노드로 하고, 컬렉터단자를 제3노드로 하는 트랜지스터와, 상기 제1노드와 제2노드사이에 연결된 제1저항과, 일단이 상기 제2노드에 연결되고 타단을 제4노드로 하여 접지되는 제2저항과, 상기 제3노드와 제4노드사이에 연결된 제3저항과; 일단이 상기 제3노드에 연결되고 타단을 제5노드로 하여 상기 리셋신호입력단자와 연결되는 제4저항과, 일단이 상기 제5노드에 연결되고 타단이 접지되는 커패시터를 구비한 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로사이에 구비되는 회로로써,

상기 리셋신호입력단자로 인가되는 리셋신호에 의해 게이트드라이브로 인가되는 GOE 마스크시간을 적정하게 유지시키고 또한 소스드라이브로 인가되는 클럭 신호에서 발생하는 잡음의 제거를 위한 필터링회로

를 더욱 포함하는 타이밍컨트롤러 리셋회로

#### 【청구항 5】

청구항 제 4 항에 있어서,



상기 트랜지스터는 PNP형인 것을 특징으로 하는 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로

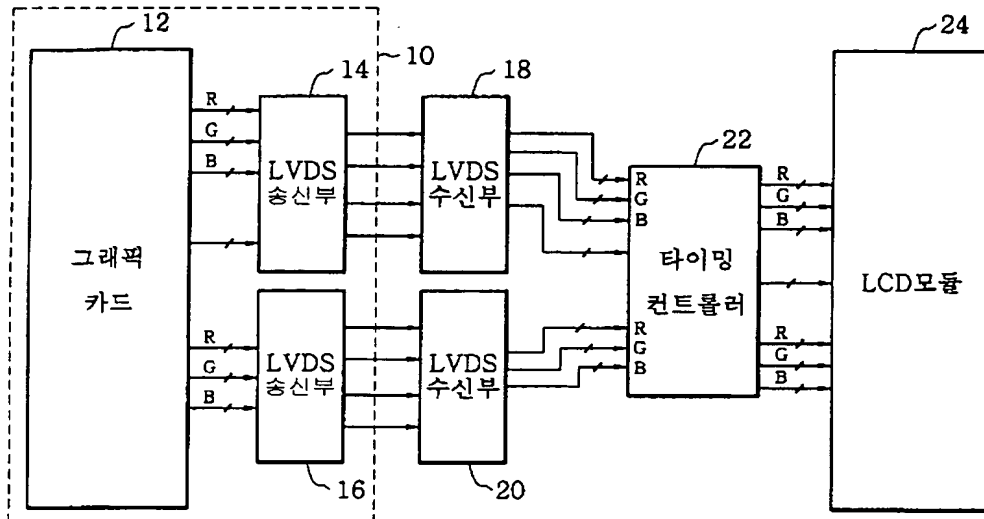
【청구항 6】

청수항 제 4 항에 있어서,

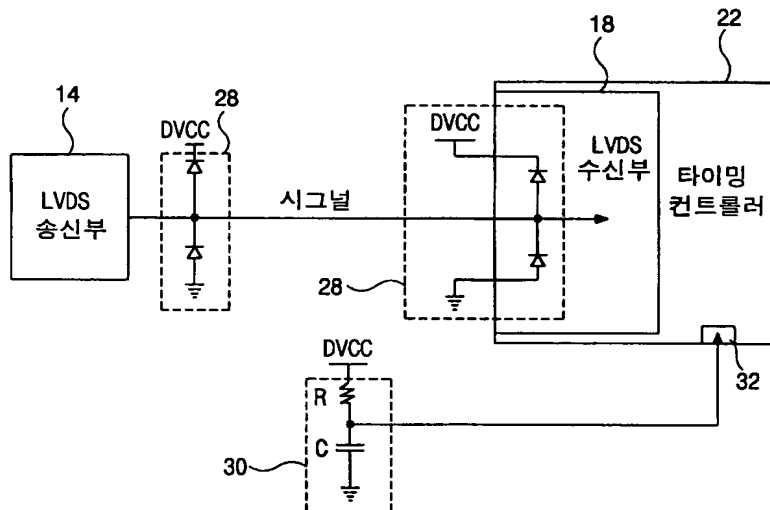
상기 제1저항, 제2저항, 제3저항은 각각 100:51:1의 저항값 비율을 유지하는 것을 특징으로 하는 전압유기 방지회로를 구비한 타이밍컨트롤러 리셋회로

## 【도면】

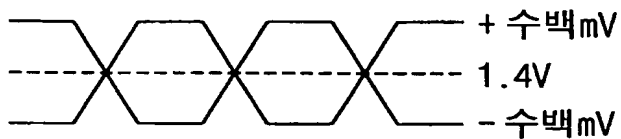
【도 1】



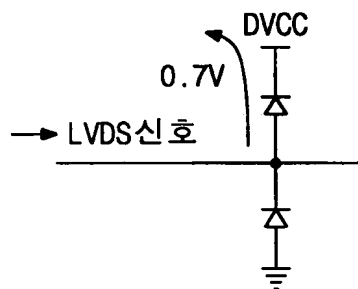
【도 2】



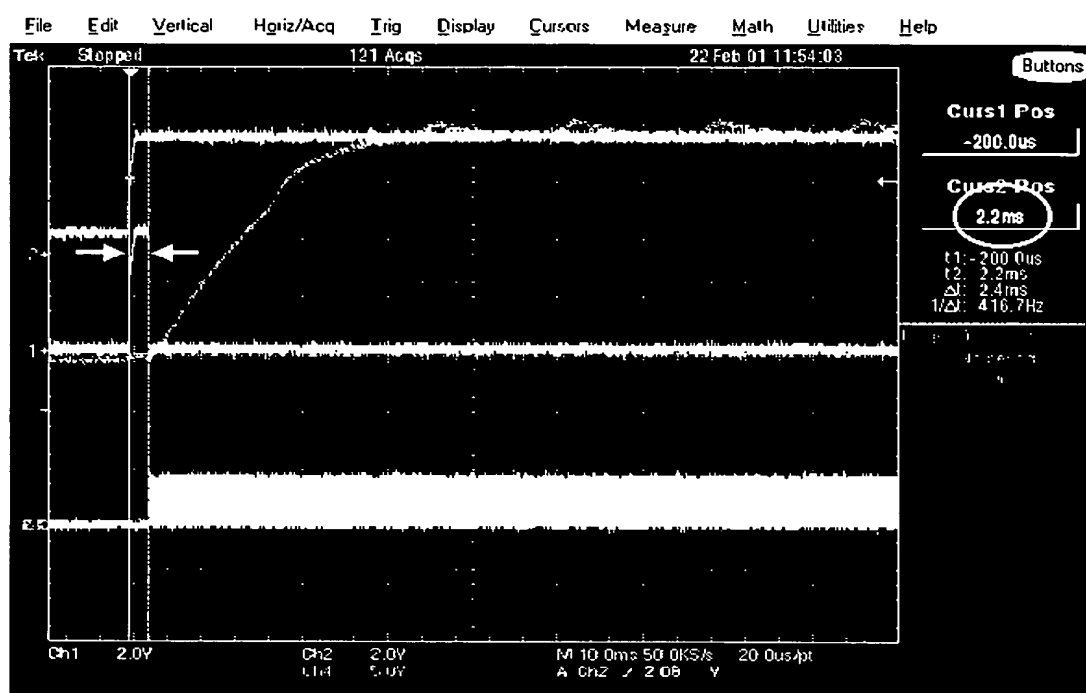
【도 3】



【도 4】

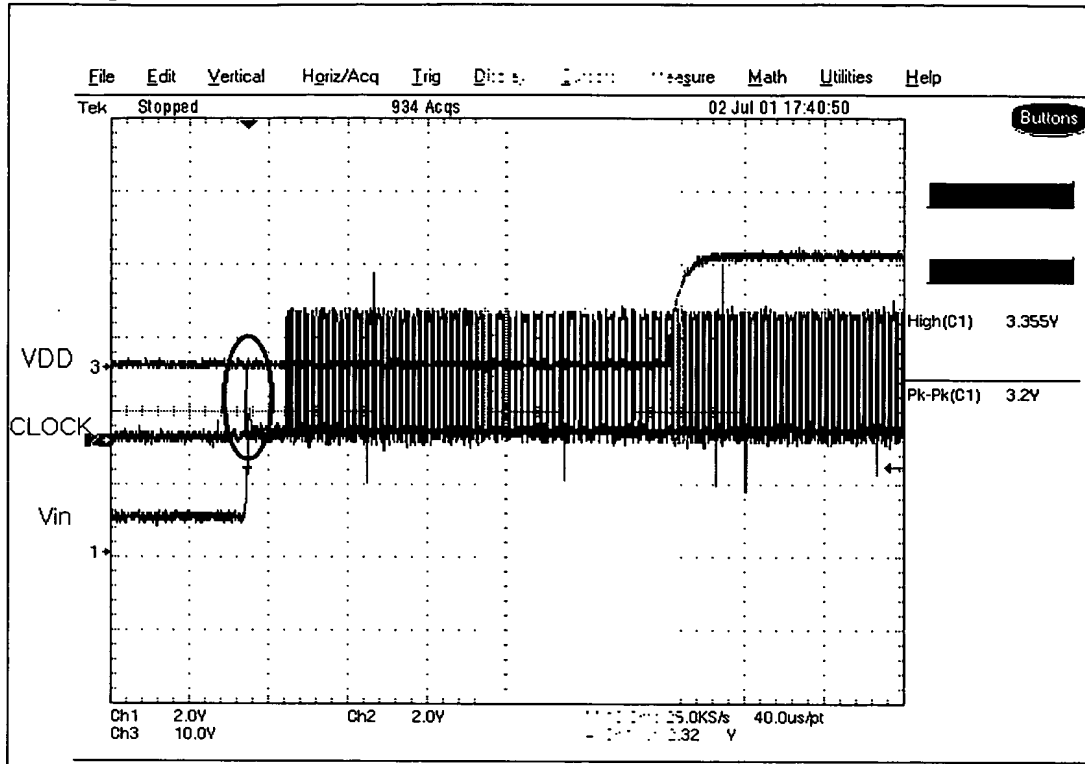


【도 5】

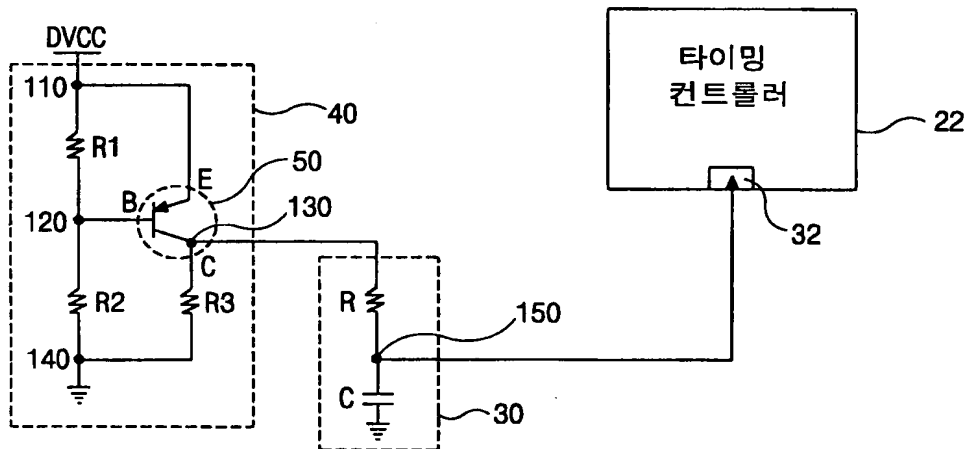


BEST AVAILABLE COPY

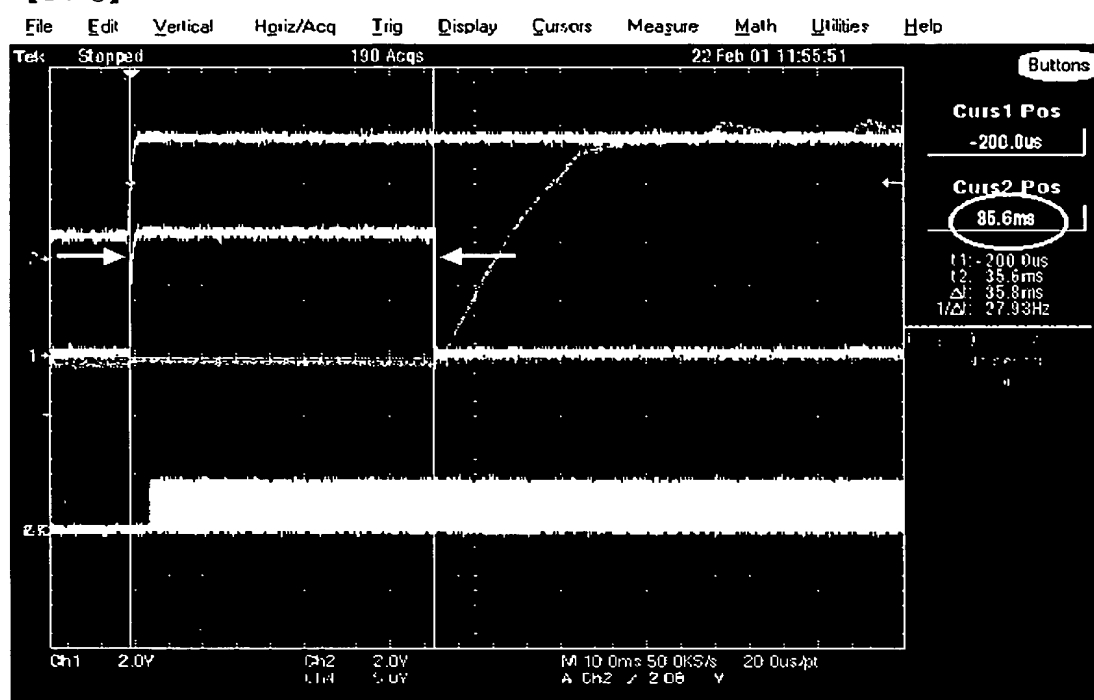
【도 6】



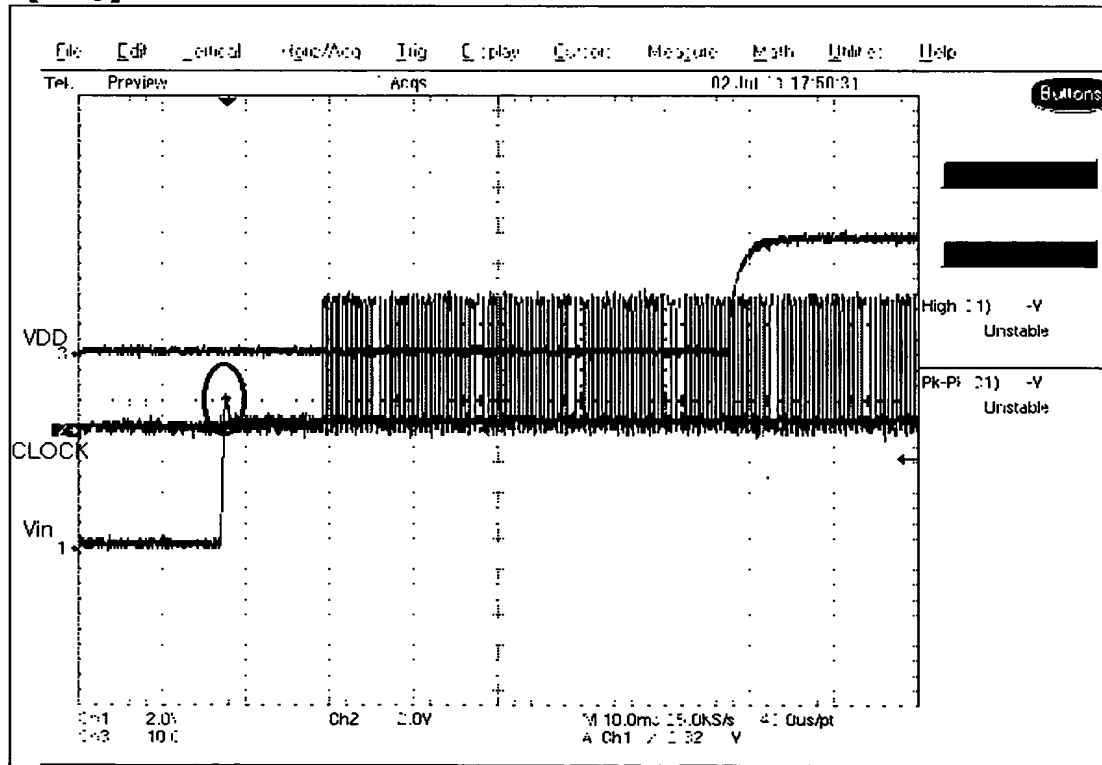
【도 7】



【도 8】



【도 9】



BEST AVAILABLE COPY